

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H03K 19/00

H03K 19/0948 H01L 27/00

[12]发明专利申请公开说明书

[21]申请号 99109010.1

[43]公开日 1999年12月22日

[11]公开号 CN 1239355A

[22]申请日 99.6.11 [21]申请号 99109010.1

[30]优先权

[32]98.6.12 [33]JP [31]165297/1998

[71]申请人 日本电气株式会社

地址 日本东京

[72]发明人 小川忠彦

[74]专利代理机构 中原信达知识产权代理有限责任公司

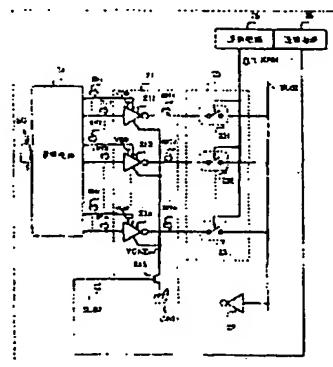
代理人 穆德骏 余 腾

权利要求书7页 说明书23页 附图页数10页

[54]发明名称 半导体集成电路装置

[57]摘要

一种具有均与一条总线相连的高速总线驱动器及总线接收器的半导体集成电路装置,该高速总线驱动器在由正电源电压线和虚拟地线供电时进入运行模式,而在该虚拟地线与地线隔离开时将进入休眠模式以减小能耗,其中开关电路被连在高速总线驱动器与总线之间以在过渡期及休眠模式内将该总线与该高速总线驱动器隔离开,由此切断由于总线驱动器的高速部件场效应晶体管的内部漏电流产生的直通电流的导电通路。



ISSN 1008-4274

BEST AVAILABLE COPY

权 利 要 求 书

1. 一种半导体集成电路装置，其特征在于包括：

选择性地进入运行模式和休眠模式的第一部件电路 (21;31;41;

5 51;61;71)，以及包括

具有加载有输入信号 (EN1-ENn/DT1-DTn;EN1-EN2/DT1-DT2) 的
多个输入节点的输入端口，

具有分配给多种输出信号的多个输出节点的输出端口，及

10 连在第一电源线 (VDD) 与电势电平不同于所述第一电源线的虚
拟地线 (VGND) 之间的第一晶体管 (Qp1/Qn1; Qp11/Qp12/Qn11/Qn12)，
其易于流过第一泄漏电流，而在所述运行模式中其响应所述输入信号在
所述输出端口产生所述输出信号；

15 连在所述虚拟电源线与电势电平不同于所述第一电源线的第二电
源线 (GND) 之间的第二晶体管 (21s; 313; 413)，其中不易于流过第二
泄漏电流，在所述运行模式中其响应模式信号 (SLB2) 而将所述虚拟电源线连到所述第二电源线上以及在休眠模式中将所述虚拟电源线与所
述第二电源线断开；及

20 可与所述多个输出节点相连的信号线 (BUS2; BUS3; BUS4; BUS5;
BUS6; BUS7)；

其特征在于另外还包括：

25 连在所述输出节点和所述信号线之间的开关电路
(23;32;42;52;62;72)，其响应控制信号 (KPB1; KPB2; KPB3) 在所述
运行模式中将所述输出节点与所述信号线相连以及至少在所述休眠模
式中将所述输出节点与所述信号线断开。

25

30 2. 如权利要求 1 所述的半导体集成电路装置，其特征在于所述第一
泄漏电流选择性地改变所述输入信号，从而使所述第一部件电路
(21;31;41;51;61;71) 在第一时刻 (t15) 提供从所述第一电源线 (VDD)
到至少一个所述输出节点的第一电流通路，和从另一输出节点经过所述
虚拟电源线 (VGND) 到所述第二晶体管 (21s;313;413) 的第二电流通

路，而所述开关电路（23;32;42;52;62;72）将使所述输出节点在早于所述第一时刻的第二时刻（t13）与所述总线断开。

5 3. 如权利要求 2 所述的半导体集成电路装置，其特征在于在所述第二时刻（t13）其处于所述休眠模式之前的所述运行模式。

10 4. 如权利要求 2 所述的半导体集成电路装置，其特征在于所述第一晶体管构成了多个根据选择性地加载于所述多个总线驱动单元上的所述输入信号来独立地驱动用作总线的所述信号线（BUS2; BUS3; BUS4; BUS5; BUS6; BUS7）的总线驱动单元（211-21n;311-312;411-412），而在所述第二时刻处于所述休眠模式之前的所述运行模式。

15 5. 如权利要求 4 所述的半导体集成电路装置，其特征在于所述第一晶体管（Qp1/Qn1;Qp11/Qp12/Qn11/Qn12）为具有第一阈值的场效应晶体管，而所述第二晶体管（21s;SLB2）为具有宽于所述第一阈值的第二阈值的场效应晶体管。

20 6. 如权利要求 5 所述的半导体集成电路装置，其特征在于所述第一晶体管分别构成了用作所述总线驱动单元的三态反相器（211-21n;311-312;411-412）。

25 7. 如权利要求 4 所述的半导体集成电路装置，其特征在于另外包括在所述开关电路（52;62;72）将所述输出节点与所述信号线断开的同时将所述信号线（BUS5;BUS6;BUS7）连到至少一个恒定电源上的防浮置电路（54;64;74）。

8. 如权利要求 1 所述的半导体集成电路装置，其特征在于另外包括用作所述输入信号（EN1-ENn/DT1-DTn;EN1-EN2/DT1-DT2）的信号源的第二部件电路（24）。

9. 如权利要求 8 所述的半导体集成电路装置，其特征在于所述第二部件电路（24）在进入所述休眠模式之前将确定所述输入信号（EN1-ENn/DT1-DTn;EN1-EN2/DT1-DT2）的当前电势电平，并在从所述休眠模式退出到下一运行模式之后在第一时刻（时刻 t17 与时刻 t19 之间）按所述当前电势电平释放出所述输入信号。

5

10. 如权利要求 9 所述的半导体集成电路装置，其特征在于在确定了所述当前电势电平之后的第二时刻（t15/t16）所述第一泄漏电流选择性地改变所述输入信号（EN1-ENn/DT1-DTn;EN1-EN2/DT1-DT2）以使所述第一部件电路（21;31;41;51;61;71）提供从所述第一电源线（VDD）到至少一个所述输出节点的第一电流通路及从所述另一个输出节点经过所述虚拟电源线（VGND）到所述第二晶体管（21s;313;413）的第二电流通路。

10

15

11. 如权利要求 10 所述的半导体集成电路装置，其特征在于所述开关电路（23;32;42;52;62;72）在早于所述第二时刻（t15/t16）的第三时刻（t13）将所述输出节点与所述信号线（BUS2; BUS3; BUS4; BUS5; BUS6; BUS7）断开，并在晚于所述第一时刻的第四时刻（t20）将所述输出节点连到所述总线上。

20

12. 如权利要求 11 所述的半导体集成电路装置，其特征在于所述输出节点被分别地集成到由所述第一晶体管构成的并响应通过所述输入节点选择性地加载于其上的输入信号独立地驱动所述信号线的总线驱动单元（211-21n;311-312;411/412）中。

25

13. 如权利要求 12 所述的半导体集成电路装置，其特征在于所述总线驱动单元（211-21n;311-312;411/412）分别用作三态反相器。

30

14. 如权利要求 13 所述的半导体集成电路装置，其特征在于所述输入信号分为：分别加载到所述三态反相器上的使能信号（EN1-ENn;

EN1-EN2)，以及分别加载到所述三态反相器上的数据信号(DT1-DTn；DT1-DT2)，所述使能信号使所述三态反相器在确定所述当前电势电平和所述下一运行模式之前在所述运行模式中选择性地响应所述数据信号。

5

15. 如权利要求 14 所述的半导体集成电路装置，其特征在于所述每一个三态反相器(311-312)均包括

第一反相器(LV11/LV12)，由所述第一电源线(VDD)和所述虚拟电源线(VGND)供电，并响应所述数据信号(DT1/DT2)中相关的一个信号产生所述输出信号(IDT1/IDT2)之一，及

开关元件(TM1/TM2)，连在所述第一反相器与相关输出节点之间并响应所述使能信号(EN1/EN2)之一用于将所述数据信号中的相关信号从所述第一反相器传送到所述输出节点的相关一个节点上。

10

15

16. 如权利要求 15 所述的半导体集成电路装置，其特征在于所述第一反相器(311/312)由所述第一晶体管的一个类型为一种沟道传导类型(P)的晶体管(Qp1)和所述第一晶体管的另一个类型为相反沟道传导类型(N)的晶体管(Qn1)的串联组合构成，而所述三态反相器另外包括第二反相器(LV12/LV22)，其从所述使能信号的所述一个信号中产生反相使能信号，并将所述反相使能信号和所述使能信号的所述一个信号加载到所述开关元件上。

20

25

17. 如权利要求 15 所述的半导体集成电路装置，其特征在于所述开关元件(TM1/TM2)由所述第一晶体管的一个类型为一种沟道传导类型(P)的晶体管(Qp1)和所述第一晶体管的另一个类型为相反沟道传导类型(N)的晶体管(Qn1)的并联组合构成。

30

18. 如权利要求 15 所述的半导体集成电路装置，其特征在于所述第一反相器(LV11/LV21)由所述第一晶体管的一个类型为一种沟道传导类型(P)的晶体管(QP1)和所述第一晶体管的另一个类型为相反

沟道传导类型 (N) 的晶体管 (Qn1) 的串联组合构成，而所述三态反相器另外包括第二反相器 (LV12/LV22)，其从所述使能信号的所述一个信号中产生反相使能信号并将所述反相使能信号和所述使能信号的所述一个信号加载到所述开关元件上，而所述开关元件 (TM1/TM2) 由所述第一晶体管的一个类型为一种沟道传导类型的晶体管 (Qp1) 和所述第一晶体管的另一个类型为相反沟道传导类型的晶体管 (Qn1) 的并联组合构成。

19. 如权利要求 18 所述的半导体集成电路装置，其特征在于所述开关电路 (32/62) 包括连在所述三态反相器的开关元件 (TM1/TM2) 与所述信号线 (BUS3;BUS6) 之间的双向传输门 (321-322)，及用于从所述控制信号中产生所述反相控制信号并用于将所述控制信号和所述反相控制信号加载到所述双向传输门上的第三反相器 (323)。

20. 如权利要求 19 所述的半导体集成电路装置，其特征在于另外包括防浮置电路 (64)，其与所述信号线 (BUS6) 相连，并在所述双向传输门 (321-322) 断开所述信号线与所述开关元件连接的情况下，将恒定电势电平的电源 (VDD) 连到所述信号线上。

21. 如权利要求 14 所述的半导体集成电路装置，其特征在于所述三态反相器 (411-412) 的每一个均包括：

连在所述第一电源线 (VDD) 与所述虚拟电源线 (VGND) 之间的如下元件的串联组合：所述第一晶体管的一个类型为所述沟道传导类型 (P) 的晶体管 (Qp11)，所述第一晶体管的另一类型为所述相反沟道传导类型 (P) 的晶体管 (Qp12)，所述第一晶体管的另一类型为相反沟道传导类型 (N) 的晶体管 (Qn11)，以及所述第一晶体管的再一类型为相反沟道传导类型 (N) 的晶体管 (Qn12)，其中所述第一晶体管的所述晶体管 (Qp12) 和所述第一晶体管的另一晶体管 (Qn11) 的栅电极上加载有所述数据信号 (DT1/DT2)，及

30 一个反相器 (144)，其由所述第一电源线 (VDD) 及所述虚拟电

源线 (VGND) 供电，并从所述使能信号的一个信号中产生反相使能信号，用于选择性地将所述反相使能信号及所述使能信号加载到所述第一晶体管的所述一个晶体管 (Qp11) 的栅电极以及所述第一晶体管的另一晶体管 (Qn12) 的栅电极上。

5

22. 如权利要求 21 所述的半导体集成电路装置，其特征在于所述开关电路 (42;72) 包括连在所述三态反相器的开关元件和所述信号线之间的第三场效应晶体管 (421-422)，并且所述控制信号被加载到所述第三场效应晶体管的栅电极上。

10

23. 如权利要求 22 所述的半导体集成电路装置，其特征在于另外包括防浮置电路 (74)，其与所述信号线 (BUS7) 相连，用于在所述第三场效应晶体管将所述信号线与所述三态反相器的连接断开，将所述信号线连到所述第一和第二电源线 (VDD/GND) 的一条上。

15

24. 如权利要求 11 所述的半导体集成电路装置，其特征在于另外包括防浮置电路 (54;64;74)，其与所述信号线 (BUS5;BUS6;BUS7) 相连，用于在所述开关电路 (52;62;72) 将所述总线驱动单元与所述信号线的连接断开时防止所述信号线出现浮置状态。

20

25. 如权利要求 24 所述的半导体集成电路装置，其特征在于所述防浮置电路 (64) 包括连在一个恒压电源 (VDD) 及所述信号线之间的第三晶体管，其响应所述控制信号 (KPB2)，在“导通状态”和“截止状态”之间变化。

25

26. 如权利要求 24 所述的半导体集成电路装置，其特征在于所述防浮置电路 (74) 包括具有均与所述信号线 (BUS7) 相连的输入节点和输出节点的双稳电路，用于将所述输出节点的电势电平改变为所述输入节点的电势电平。

30

27. 如权利要求 26 所述的半导体集成电路装置，其特征在于所述
双稳电路包括：

其输入节点与所述信号线 (BUS7) 相连的第一反相器 (742)，及
其输入节点与所述第一反相器 (742) 相连而输出节点与所述信号
5 线 (BUS7) 相连的第二反相器 (741)。

28. 如权利要求 27 所述的半导体集成电路装置，其特征在于所述
第一和第二反相器 (742/741) 每一个均由一种沟道传导类型 (P) 的第
10 三晶体管 (Qp13) 和相反沟道传导类型 (N) 的第四晶体管 (Qn14) 的
串联组合构成，而所述第三和第四晶体管使从所述第一和第二电源线流
到用作所述第一和第二反相器的所述输出节点的公共漏节点上的第三
泄漏电流不易流过。

说 明 书

半导体集成电路装置

5 本发明一般涉及一种半导体集成电路装置，具体涉及一种具有一部件电路的半导体集成电路装置，该部件电路具有内置的阻止休眠模式中泄漏的装置。

10 如果将半导体集成电路装置设计成在诸如 1 伏的低压下进行操作，则其能耗将大为减少，并能够防止产生所不希望的发热现象。然而，低压操作需要低阈值元件晶体管。当电源电压被减小为 1 伏时，部件的场效应晶体管将被设计成仅具有 0.2 伏数量级的阈值。该阈值越低，栅绝缘层则越薄。其结果是，流过该薄栅绝缘层的泄漏电流将增大，从而使得能耗的减少并不象所想象的那么多。相反的，当该半导体集成电路装置处于待用状态时，其能耗反而会由于存在该泄漏电流而增大。

15 日本专利公开的未审查申请 No.6-029834 中提出了一种解决方法。该日本专利公开的未审查申请中提出在低压逻辑电路与电源线之间连接多个高阈值场效应晶体管。其结果是，虚拟电源线将直接与低压逻辑电路相连。下文中现有技术的电路结构被称为“具有阻止泄漏装置的逻辑电路”，如果将该种虚拟电源线技术应用于实际的半导体集成电路，则在该半导体集成电路中将会遇到各种各样的问题。

20 图 1 所示为一种现有技术的数据传输系统，在该现有技术的数据传输系统中应用了上述虚拟电源线技术。该种现有技术的数据传输系统包括多个总线驱动器单元 BD1/BD2，多个接收器单元 BR1 及总线 BUS1，总线驱动器单元 BD1/BD2 和接收器单元 BR1 与总线 BUS1 相连。总线驱动器单元 BD1/BD2 分别由使能信号 EN1/EN2 启动，并响应数据信号 DT1/DT2 而向总线 BUS1 加载反相数据信号 IDT1/IDT2。因而，总线驱动器单元 BD1/BD2 实际是一种三态反相器，而数据信息将通过总线

BUS1 从总线驱动器单元中的一个传输到接收器单元中的一个上。

总线驱动器单元 BD1 包括反相器 LV11, 即 p 沟道增强型场效应晶体管和 n 沟道增强型场效应晶体管的串联组合, 传输门 TM1, 即 p 沟道增强型场效应晶体管和 n 沟道增强型场效应晶体管的并联组合, 及反相器 LV12。反相器 LV11 或 p 沟道增强型场效应晶体管和 n 沟道增强型场效应晶体管的串联组合, 被连在电源线 VDD 和虚拟地线 VGND 之间, 而数据信号 DT1 则被加载到反相器 LV11 的输入节点, 即该 p 沟道增强型场效应晶体管的栅电极和 n 沟道增强型场效应晶体管的栅电极上。反相器 LV12 的电路结构与反相器 LV11 的电路结构类似。反相器 LV12 也被连在电源线 VDD 与虚拟地线 VGND 之间, 并从使能信号 EN1 中产生反相使能信号 IEN1。传输门 TM1 被连在反相器 LV11 的输出节点与总线 BUS1 之间, 并允许电流在其中双向流动。使能信号 EN1 和反相使能信号 IEN1 被加载到传输门 TM1 的栅电极, 即 n 沟道增强型场效应晶体管的栅电极和 p 沟道增强型场效应晶体管的栅电极上。

另一总线驱动器单元 BD2 也包括分别类似于反相器 LV11、传输门 TM1 和反相器 LV12 的反相器 LV21、TM2 和反相器 LV22。因此, 出于使说明简单的原因这里将不再对元件 LV21, TM2 和 LV22 进行详细说明。

当使能信号 EN1/EN2 被变为有效高电平时, 反相器 LV12/LV22 将使反相使能信号 IEN1/IEN2 变为低电平。高电平的使能信号 EN1/EN2 被加载到与之相关的传输门 TM1/TM2 的 n 沟道增强型场效应晶体管的栅电极上, 而反相使能信号 IEN1/IEN2 则被加载到与之相关的传输门 TM1/TM2 的 p 沟道增强型场效应晶体管的栅电极上。因此, 传输门 TM1/TM2 的两个场效应晶体管将被导通, 于是反相器 LV11/LV21 通过传输门 TM1/TM2 连到总线 BUS1 上。反相器 LV11/LV21 根据数据信号 DT1/DT2 选择性地将电源线 VDD 和虚拟地线 VGND 连到其输出节点上, 并将反相数据信号 IDT1/IDT2 加载到总线 BUS1 上。

另一方面,当使能信号 EN1/EN2 变为低电平时,反相器 LV12/LV22 将使反相使能信号 IEN1/IEN2 变为高电平,而低电平的使能信号 EN1/EN2 和高电平的反相使能信号 IEN1/IEN2 将使 n 沟道增强型场效应晶体管和 p 沟道增强型场效应晶体管截止,从而使总线驱动器单元 BD1/BD2 进入高阻抗状态。

因此,总线 BUS1 与多个总线驱动器单元 BD1/BD2 和多个接收器单元如 BR1 连在一起,将数据信息从总线驱动器单元 BD1/BD2 的任何一个传送到接收器单元的任何一个处。多于一个的总线驱动器单元并不是同时将反相数据信号加载到总线 BUS1 上的。因此,在现有技术的数据传输系统中不允许进行这种总线争夺。另外,总线驱动器单元的任何一个将使总线 BUS1 在任何时刻均有效,从而使其不会出现浮置状态。如上所述,反相器 LV11/LV12/LV21/LV22 和传输门 TM1/TM2 由场效应晶体管来实施。该 p 沟道增强型场效应晶体管和 n 沟道增强型场效应晶体管具有较低的阈值,其均是低阈值类型的场效应晶体管。这些低阈值场效应晶体管被高速地开关。

虚拟地线 VGND 通过一个 n 沟道增强型场效应晶体管 HNS1 接地。该 n 沟道增强型场效应晶体管 HNS1 的阈值高于该低阈值 n 沟道增强型场效应晶体管的阈值,而反相休眠模式信号 SLB 则被加载到高阈值 n 沟道增强型场效应晶体管 HNS1 的栅电极上。当休眠模式信号 SL 为低电平时,其表示运行模式,而反相休眠模式信号 SLB 将使高阈值 n 沟道增强型场效应晶体管 HNS1 导通。通过高阈值 n 沟道增强型场效应晶体管 HNS1 将地电平加载到反相器 LV11/LV12/LV21/LV22 上,而虚拟地线 VGND 和电源线 VDD 则激励总线驱动器单元 BD1/BD2 和接收器单元 BR1。因此,地电平通过高阈值 n 沟道增强型场效应晶体管 HNS1 被加载到反相器 LV11/LV12/LV21/LV22 上,下文中将简称虚拟地线 VGND 的电势电平为“虚拟地电平”。

另一方面，如果休眠模式信号 SL 被变为高电平，则现有技术的数据传输系统将进入休眠模式或节能模式，而低电平的反相休眠模式信号 SLB 将使高阈值 n 沟道增强型场效应晶体管 HNS1 截止。其结果是，高阈值 n 沟道增强型场效应晶体管 HNS1 将使得总线驱动器单元 BD1/BD2 和接收器单元 BR1 不可能变为虚拟地电平，总线驱动器单元 BD1/BD2 和接收器单元 BR1 因而不再将数据信息传送到总线 BUS1 上。高阈值 n 沟道增强型场效应晶体管将不会允许其中有低于阈值的(sub-threshold) 泄漏电流流过，因而将减小休眠模式中的能耗。因此，现有技术的数据传输系统为一种具有阻止泄漏装置的逻辑门。

10

图 2 所示为通过现有技术的数据传输系统所进行的数据传送过程。从开始一直到时刻 t_3 现有技术的数据传输系统处于运行模式，在时刻 t_3 与 t_6 之间则处于休眠模式，在时刻 t_6 则从休眠模式恢复为运行模式。

15

当高阈值 n 沟道增强型场效应晶体管 HNS1 被导通时，虚拟地线 VGND 通过高阈值 n 沟道增强型场效应晶体管 HNS1 接地。在时刻 t_1 之前使能信号 EN1 和 EN2 分别处于无效低电平以及有效高电平状态，总线驱动器单元 BD1/BD2 由使能信号 EN1/EN2 禁用及启动。总线驱动器单元 BD1 处于高阻抗状态，而另一总线驱动器单元 BD2 则对应于数据信号 DT2。因此，高电平的反相数据信号 DT2 从总线驱动器单元 BD2 传送到总线 BUS1 上。换句话说，总线 BUS1 处于高电平状态。

20

使能信号 EN1/EN2 在时刻 t_1 分别被变为高电平和低电平，数据信号 DT1/DT2 则仍旧分别为高电平和低电平。总线驱动器单元 BD1 被启动信号 EN1 启动，而另一总线驱动器单元 BD2 则被禁用。总线驱动器单元 BD2 进入高阻抗状态，而另一总线驱动器单元 BD1 则变为响应于数据信号 DT1。其结果是，总线驱动器单元 BD1 将低电平的反相数据信号 IDT1 加载到总线 BUS1 上，于是总线 BUS1 变为低电平。

25

直到时刻 t_2 ，使能信号 EN1/EN2 将一直分别保持高电平和低电平。然而，数据信号 DT1/DT2 在时刻 t_2 被分别变为低电平和高电平。总线驱动器单元 BD1 仍旧对应于数据信号 DT1，而另一总线驱动器单元 BD2 则仍被禁用。其结果是，总线驱动器单元 BD1 将反相数据信号 IDT1 变为高电平，于是总线 BUS1 变为高电平。

5

10

因此，当现有技术的数据传输系统在运行模式下工作时，总线驱动器单元 BD1/BD2 由相关的使能信号 EN1/EN2 选择性地启动，总线驱动器单元 BD1/BD2 中的一个将反相数据信号 IDT1/IDT2 输出到总线 BUS1 上。总线驱动器单元 BD1/BD2 由低阈值场效应晶体管来实施，由此以快速地将数据信息从数据信号 DT1/DT2 转换为总线 BUS1 上的电势电平。

15

20

25

30

休眠模式信号 SL 在时刻 t_3 被变为有效高电平，因此反相休眠模式信号 SLB 被变为低电平。高阈值 n 沟道增强型场效应晶体管 HNS1 导通，虚拟地线 VGND 与地电平电隔离。反相器 LV12/LV22 不再将使能信号 EN1/EN2 反相，反相器 LV11/LV21 也不再将数据信号 DT1/DT2 反相。然而，休眠模式信号 SL 和反相休眠模式信号 SLB 仅对现有技术的数据传输系统有效。使能信号 EN1/EN2 和数据信号 DT1/DT2 是由另一逻辑电路（未示出）产生的，而该逻辑电路并不总是与现有技术的数据传输系统同时地进入休眠模式。这意味着在进入休眠模式以及从休眠模式中退出之间数据信号 DT1/DT2 有可能会不一致。

日本专利公开的未审查申请 No.6-029834 中提出了使到具有阻止泄漏装置的逻辑电路的输入在进入休眠模式和从休眠模式中退出之间保持一致的方法。如果将日本专利公开的未审查申请 No.6-029834 中所提出的技术应用于现有技术的数据传输系统，则现有技术的数据传输系统的操作过程将如下。在进入休眠模式之前，数据信号 DT1/DT2 和使能信号 EN1/EN2 被固定为当前运行模式中的逻辑电平。数据信号 DT1/DT2 被分别固定为低电平和高电平，而使能信号 EN1/EN2 则被分别固定为

5

高电平和低电平。因此，现有技术的数据传输系统进入休眠模式，而虚拟地线 VGND 与地电平电隔离。当现有技术的数据传输系统从休眠模式中退出时，按先前运行模式中的逻辑电平释放数据信号 DT1/DT2 和使能信号 EN1/EN2。由于现有技术的数据传输系统的状态不变，因此现有技术的数据传输系统能够继续进行数据传送，而不产生由于数据不一致造成的问题。

10

15

20

25

30

然而，总线驱动器单元 BD1/BD2 有可能在休眠模式中改变数据/使能信号。如上所述，在进入休眠模式之前数据信号/使能信号 DT1/EN2 被固定为低电平，而在进入休眠模式之前数据信号/使能信号 DT2/EN1 也被固定为高电平。尽管高阈值 n 沟道增强型场效应晶体管 HNS1 将虚拟地线 VGND 和总线驱动器单元 BD1/BD2 与地电平电隔离开，但总线驱动器单元 BD1/BD2 仍与电源线 VDD 相连。因此泄漏电流将从电源线 VDD 通过低阈值 p 沟道增强型场效应晶体管流到数据信号 DT1 的数据线上以及使能信号 EN2 的信号线上。电源线 VDD 通过该低阈值 p 沟道增强型场效应晶体管对数据信号 DT1 的信号线充电并持续时间段 tD1C，而数据信号 DT1 在时刻 t5 将达到高电平。类似地，电源线 VDD 对使能信号 EN2 的信号线充电并持续时间段 tE2C，于是使能信号 EN2 在时刻 t5 将达到高电平。

反相休眠模式信号 SLB 在时刻 t6 被变为高电平，于是现有技术的数据传输系统将从休眠模式恢复为运行模式。高阈值 n 沟道增强型场效应晶体管 HNS1 导通，从而将虚拟地线 VGND 接地。虚拟地线 VGND 恢复为大约等于地电平的电势电平。数据信号 DT1 和使能信号 EN2 恢复为原先的逻辑电平，即低电平。数据信号 DT1 的电平向下降并持续时间段 tD1B，在时刻 t7 变为低电平。另一方面，使能信号 EN2 将经过时间段 tE2B 后在时刻 t8 变为低电平。然后，数据信号 DT1/DT2 和使能信号 EN1/EN2 将与休眠模式之前的相应信号保持一致，因此现有技术的数据传输系统在时刻 t8 后重新开始进行数据传送。

5

因此在不会产生由于输入信号中所不希望出现的变化而出现的问题的情况下，具有阻止泄漏装置的现有技术的数据传输系统将能够减小能耗。然而，能耗的减小量仍不如所想象的那样多。在从运行模式到休眠模式以及从休眠模式到运行模式的过渡期中将会出现从电源线 VDD 流向地的直通电流。

10

具体地说，数据信号 DT1/DT2 和使能信号 EN1/EN2 在进入休眠模式之前被固定为当前的电势电平，而在时刻 t_3 现有技术的数据传输系统进入休眠模式。因此，在总线 BUS1 上将有如箭头 AR1 所示的电流流动，而该电流被浪费了。

15

如上所述，现有技术的数据传输系统配有一个逻辑电路，而该逻辑电路也具有阻止泄漏装置。通常在本半导体集成电路装置中将含有多个数据传输系统，因此将有多个逻辑电路顺序地与每个数据传输系统相连。在此情况下，其不可能保证逻辑电路能够同时地进入休眠模式。例如，数据信号 DT1/DT2 和使能信号 EN1/EN2 由一个具有阻止泄漏装置的逻辑电路加载到另一用于加载数据信号的逻辑电路上。该逻辑电路和现有技术的数据传输系统通常会在不同时刻进入休眠模式，于是将不可避免地出现时间段 t_{D1C}/t_{E2C} 。

20

25

30

在从运行模式到休眠模式的过渡时间内，使能信号 EN2 的信号线早于数据信号 DT1 的信号线被充电。其结果是，传输门 TM1/TM2 在时刻 t_4 之后才被启动，从而在总线驱动器单元 BD1 和 BD2 之间将出现总线连接。该总线连将持续时刻 t_4 和时刻 t_5 之间的时间段 t_{BW1} 。在时间段 t_{BW1} 内，数据信号 DT1 的信号线的电势电平低于数据信号 DT2 的信号线的电势电平，于是数据信号 DT1/DT2 的信号线将产生如箭头 AR1 所示的电流通路。数据信号 DT1 的信号线允许反相器 LV11 的 p 沟道增强型场效应晶体管导通，于是电流将从电源线 VDD 流到传输门 TM1 中。使能信号 EN1 将使传输门 TM1 导通，并使电流流过传输门 TM1。电流流过总线 BUS1，并到达在使能信号 EN2 作用下早已导通的传输门

TM2 处。电流流过传输门 TM2，到达反相器 LV21。而数据信号 DT2 的信号线已使反相器 LV21 的 n 沟道增强型场效应晶体管导通，于是电流通过反相器 LV21 流到虚拟地线 VGND 上。在过渡期中，高阈值 n 沟道增强型场效应晶体管 HNS1 并没有完全截止，所以电流被流注到地中。这是因为另一具有阻止泄漏装置的逻辑电路仍在产生休眠模式信号 SL 和反相休眠模式信号 SLB。换句话说，另一逻辑电路是在不同时刻进入休眠模式的。

在现有技术的数据传输系统从休眠模式中退出到运行模式之前，数据信号 DT1/DT2 和使能信号 EN1/EN2 均处于高电平状态。在该逻辑电路将数据信号 DT1 和使能信号 EN1 从高电平恢复为低电平的同时，与从运行模式到休眠模式的过渡期类似，电流将从电源线 VDD 流入到地中。恢复时间段 tD1B 比恢复时间段 tE2B 要短一些。在从时刻 t7 到时刻 t8 的时间段 tBW2 内，使能信号 EN1/EN2 均被保持为高电平，于是在总线驱动器单元 BD1 和 BD2 之间将发生总线连接。数据信号 DT1 在时刻 t7 被恢复为低电平，从而使反相器 LV11 的 p 沟道增强型场效应晶体管导通。另一方面，高电平的数据信号 DT2 将使反相器 LV21 的 n 沟道增强型场效应晶体管导通。高电平的使能信号 EN1/EN2 将使传输门 TM1/TM2 导通。因此，与从运行模式到休眠模式的过渡期类似，电流从电源线 VDD 经过总线 BUS1、虚拟地线 VGND 和高阈值 n 沟道增强型场效应晶体管 HNS1 流入到地中。尽管如上所述从休眠模式到运行模式的转换在各逻辑电路之间并不是同时发生的，但因为该高阈值 n 沟道增强型场效应晶体管 HNS1 被变为“导通状态”从而使虚拟地线 VGND 与地接通，所以在产生直通电流(through-current)之前高阈值 n 沟道增强型场效应晶体管 HNS1 便已被完全导通。

因此本发明的一个目的便是提供一种在运行模式到休眠模式之间的过渡期中不会产生直通电流的半导体集成电路装置。

为了实现该目的，本发明提出了在休眠模式中将逻辑电路与信号线

如总线的连接断开的方法。

根据本发明的一个方面，提供了一种半导体集成电路装置，该装置包括选择性地进入运行模式和休眠模式并包括一个具有多个加载有输入信号的输入节点的输入端口以及具有多个分配给多种输出信号的输出节点的输出端口的第一部件电路，及连在第一电源线及其电势电平不同于该第一电源线的虚拟地线 VGND 之间的第一晶体管，其易于流过第一泄漏电流并在运行模式中响应输入信号而在输出端口产生输出信号，连在虚拟电源线及其电势电平不同于第一电源线的第二电源线之间的第二晶体管，其不易于在其中产生第一泄漏电流，并响应模式信号在运行模式中将虚拟电源线与该第二电源线相连，而在休眠模式中将虚拟电源线与第二电源线断开，一条可与多个输出节点相连的信号线，及一个连在输出节点和信号线之间的开关电路，其响应控制信号在运行模式中将输出节点与该信号线连在一起，并至少在休眠模式中将该输出节点与该信号线连接断开。

接下来将参照附图对本半导体集成电路装置的特性和优点进行详细地说明，其中：

图 1 所示为现有技术的数据传输系统的电路结构图；

图 2 所示为现有技术的数据传输系统中运行模式和休眠模式之间的过渡时序图；

图 3 所示为根据本发明的半导体集成电路装置的基本部分的电路结构图；

图 4 所示为在该种半导体集成电路装置中运行模式与休眠模式之间的过渡时序图；

图 5 所示为根据本发明的另一种半导体集成电路装置的基本部分的电路结构图；

图 6 所示为根据本发明的再一种半导体集成电路装置的基本部分的电路结构图；

图 7 所示为根据本发明的再一种半导体集成电路装置的基本部分

的电路结构图；

图 8 所示为根据本发明的另一种半导体集成电路装置的基本部分的电路结构图；

图 9 所示为图 8 所示的半导体集成电路装置中所含有的防浮置(anti-floating)电路的真值表的示意图；

图 10 所示为根据本发明的另一种半导体集成电路装置的基本部分的电路结构图。

第一实施例

参照图 3，其所示为在一个半导体芯片 20 上加工而成的集成电路。

该集成电路包括总线 BUS2，与总线 BUS2 相连的总线驱动器 21，同样与总线 BUS2 相连的总线接收器 22，连在总线驱动器 21 与总线接收器 22 之间的开关电路 23 以及逻辑电路 24/25/26。逻辑电路 25 使休眠模式信号 SLB2 在有效低电平与无效高电平之间变化，休眠模式信号 SLB2 选择性地在总线驱动器 21 中建立运行模式和休眠模式。运行模式中的总线驱动器 21 能够驱动总线 BUS2。另一方面，在休眠模式中总线驱动器 21 将不能与电源相连。逻辑电路 24 向总线驱动器 21 加载使能信号 EN1/EN2/.../ENn 和数据信号 DT1/DT2/.../DTn，而总线驱动器 21 在运行模式中则利用由使能信号指定的反相数据信号 IDT1/IDT2/.../IDTn 来驱动总线 BUS2。逻辑电路 26 在运行模式和休眠模式之间的过渡期中向开关电路 23 加载控制信号 KPB1，而开关电路 23 将不允许总线 BUS2 为直通电流提供电流通路。总线接收器 22 将反相数据信号从总线传送到另一逻辑电路（未示出）上。

逻辑电路 24 由互补型场效应晶体管来实施，并在逻辑电路 24 中选择性地建立休眠模式和运行模式。在运行模式中逻辑电路 24 与电源线相连，而在休眠模式中则与该电源线断开。因此，逻辑电路 24 为具有阻止泄漏装置类型的逻辑电路。总线接收器也可以是具有阻止泄漏装置类型的逻辑电路。

将日本专利公开的未审查申请 No.7-135461 中所公开的现有技术应用于对诸如使能信号 EN1-ENn 和数据信号 DT1-DTn 的信号进行控制。逻辑电路 24 在进入休眠模式之前确定使能信号 EN1/ENn 的电势电平及数据信号 DT1/DTn 的电势电平，并在从休眠模式中退出之后按原先的电势电平释放这些信号。信号 SG 被加载到逻辑电路 24 上，并也在逻辑电路 24 进入休眠模式之前被固定为当前的逻辑电平。尽管使能信号 EN1-ENn 和数据信号 DT1-DTn 被加载到总线驱动器 21 上，但信号 EN1-ENn/DT1-DTn 并没有被同时地固定为原先的逻辑电平，于是也不总是在相同时刻按原先的逻辑电平释放。这是由于信号之间所需的逻辑门互有不同且在各信号的信号线之间信号传播的时间常数也不尽相同而造成的。逻辑电路 24 可以具有与日本专利公开的未审查申请 No.7-135461 中所公开的节点控制电路及电路群相同的电路结构。

总线驱动器 21 为具有阻止泄漏装置类型的逻辑电路，其包括多个反相器 211/212/…21n 及一个高阈值 n 沟道增强型开关晶体管 21s。三态反相器 211-21n 由互补晶体管，即 n 沟道增强型场效应晶体管和 p 沟道增强型场效应晶体管的串联组合来实施。该 n 沟道增强型场效应晶体管和 p 沟道增强型场效应晶体管为低阈值类型的晶体管，从而可以实现高速的开关动作。

三态反相器 211-21n 的电路结构与现有技术总线驱动器 BD1/BD2 的三态反相器 LV11/LV21 类似。三态反相器 211-21n 通过正电源线 VDD 和虚拟地线 VGND 来供电。使能信号 EN1/EN2 被选择性地加载到三态反相器 211-21n 上，从而使得相关三态反相器 211-21n 选择性地响应数据信号 DT1/DT2。例如，当使能信号 EN1 被变为有效高电平时，三态反相器 211 响应数据信号 DT1 而利用反相数据信号 IDT1 来驱动总线 BUS2。在此情况下，其它的使能信号 EN2-ENn 仍保持无效，因此与其相关的三态反相器 212-21n 将不响应数据信号 DT2-DTn。换句话说，三态反相器 212-21n 将处于相对于其数据输出节点的高阻抗状态。总有多于一个的三态反相器不会被相关的使能信号 EN1/EN2 启动，而所有的

三态反相器 211-21n 均不会同时进入高阻抗状态。换句话说，在运行模式中三态反相器 211-21n 中总有一个与总线 BUS2 电连接。

5 高阈值 n 沟道增强型开关晶体管 21s 的阈值高于 n 沟道增强型场效应晶体管的阈值。高阈值 n 沟道增强型开关晶体管 21s 被连在虚拟地线 VGND 与地线 GND 之间，休眠模式信号 SLB2 被加载到高阈值 n 沟道增强型开关晶体管 21s 的栅电极上。当高阈值 n 沟道增强型开关晶体管 21s 仍处于“导通状态”时，虚拟地线 VGND 与地线 GND 电连接，从而通过正电源线 VDD 和虚拟地线 VGND 对三态反相器 211-21n 供电，三态反相器 211-21n 利用反相数据信号 IDT1/IDT2 选择性地驱动总线 BUS2。另一方面，如果休眠模式信号 SLB2 被变为低电平，则高阈值 n 沟道增强型开关晶体管 21s 将截止，虚拟地线 VGND 与地线 GND 电隔离。总线驱动器 21 进入休眠模式，三态反相器 211-21n 中的任一个均不对应于数据信号 DT1-DTn。高阈值 n 沟道增强型开关晶体管 21s 中的低于阈值的泄漏电流非常小，从而能耗将显著下降。

20 开关电路 23 由多个开关元件 231/232/…/23n 来实施。开关电路 231-23n 被连在三态反相器 211-21n 与总线 BUS2 之间，并被同时响应控制信号 KPB1 将三态反相器 211-21n 连到总线 BUS2 上或将其与总线 BUS2 的连接断开。在此情况中，开关电路 231-23n 分别由 n 沟道增强型场效应晶体管来实施，n 沟道增强型场效应晶体管 231-23n 的阈值可高可低。

25 总线驱动器 21、开关电路 23 和逻辑电路 24-26 的操作如图 4 所示。休眠模式信号 SLB2 在时刻 t4 从高电平变为低电平，并在时刻 t7 恢复为高电平。在时刻 t4 与时刻 t7 之间在总线驱动器 21 中建立了休眠模式。

30 使能信号 EN1/EN2 在运行模式中为有效，从而使三态反相器 211-21n 选择性地响应相关的数据信号 DT1-DTn。逻辑电路 26 在时刻 t3 之

前将控制信号 KPB1 保持为高电平, 于是所有开关电路 231-23n 在时刻 t3 之前均被导通。假设在时刻 t14 之前及时刻 t17 之后的运行模式中, 使能信号 EN3-ENn 保持无效低电平状态。

5 使能信号 EN2 在时刻 t11 之前为高电平, 于是三态反相器 212 利用反相数据信号 IDT2 来驱动总线 BUS2。数据信号 DT2 在时刻 t11 之前为低电平, 因此, 总线 BUS2 被保持为高电平。

10 使能信号 EN2 的电势电平在时刻 t11 开始向下降, 而使能信号 EN1 的电势电平则在时刻 t11 开始向上升高。三态反相器 212 由相关的使能信号 EN1 使能, 并变成对应于相关的数据信号 DT1。数据信号 DT1 在时刻 t11 为高电平, 而三态反相器 211 则利用反相数据信号 IDT1 来驱动总线 BUS2。其结果是, 总线 BUS2 降为低电平。

15 使能信号 EN1 在时刻 t12 仍处于高电平状态, 数据信号 DT1 则在时刻 t12 被变为低电平。三态反相器 211 将反相数据信号 IDT1 变为高电平, 于是总线 BUS2 在时刻 t12 开始向高电平升高。尽管数据信号 DT2 在时刻 t12 被变为高电平, 但三态反相器 212 不响应数据信号 DT2, 因为使能信号 EN2 为低电平。

20 因此, 在运行模式中高阈值 n 沟道增强型开关晶体管 21s 将地线 GND 与虚拟地线 VGND 电连接在一起, 而三态反相器 211-21n 则被启动信号 EN1-ENn 选择性地启动以驱动总线 BUS2。组成三态反相器 211-21n 的场效应晶体管的阈值均较低, 因此所选中的反相器能够以较高的速度来对数据信号进行反相。

25 在时刻 t14 进入休眠模式之前, 逻辑电路 26 将控制信号 KPB1 从高电平变为低电平, 于是开关电路 231-23n 同时截止。开关电路 23 在时刻 t13 将总线 BUS2 与总线驱动器 21 电隔离, 于是休眠模式信号 SLB2 在设置时间 tKS 之后变为低电平。

当休眠模式信号 SLB2 被变为低电平时，高阈值 n 沟道增强型开关晶体管 21s 截止，从而使虚拟地线 VGND 与地线 GND 电气地隔离开。在时刻 t14 之后三态反相器 211-21n 上不再加载低值电源电压，即虚拟地电平。因为低于阈值的泄漏电流可忽略不计，所以休眠模式中的能耗将显著减小。

5

10

高阈值 n 沟道增强型开关晶体管 21s 将虚拟地线 VGND 保持为浮置状态。泄漏电流不可避免地从正电源电压线 VDD 经过 n 沟道增强型场效应晶体管流到分配给数据信号 DT1 和使能信号 EN2 的信号线上。使能信号 EN2 的信号线在时刻 t15 达到高电平。因此，在休眠模式中使能信号 EN2 的信号线和数据信号 DT1 的信号线被无意地变为低电平和高电平。从时刻 t14 到时刻 t15 所经过的时间记为“tE2C”，而从时刻 t14 到时刻 t16 所经过的时间则被记为“tD1C”，

15

20

高电平的使能信号 EN1/EN2 将使总线 BUS2 出现总线连接，而由于数据信号 DT1 处于低电平而数据信号 DT2 处于高电平，所以总线驱动器 21 将使总线 BUS2 中流过电流。三态反相器 211 提供了从正电源电压线 VDD 经过 n 沟道增强型场效应晶体管及其传输门到其输出节点的电流通路，三态反相器 212 提供了从其输出节点经过该传输门及 p 沟道增强型场效应晶体管到虚拟地线 VGND 的电流通路，而处于非完全截止状态的高阈值 n 沟道增强型开关晶体管 21s 则提供了从虚拟地线 VGND 到地线 GND 的电流通路。这种非完全截止状态是由如上所述各逻辑电路进入休眠模式的时刻之间的差别而造成的。

25

30

开关电路 23 将总线 BUS2 与总线驱动器 21 电隔离开，从而切断了三态反相器 211 到总线 BUS2 以及从总线 BUS2 到三态反相器 212 的连接。具体地说，开关电路 231-23n 在时刻 t13 截止，于是三态反相器 211/212 与总线 BUS2 之间的电流通路将被关闭。因此，即使三态反相器 211/212 处于产生有电流的情况下时，也不会有任何电流从正电源电

压线 VDD 经过总线驱动器 21、总线 BUS2、虚拟地线 VGND 及高阈值 n 沟道增强型开关晶体管 21s 流入到地线 GND 中。从而使得休眠模式中的能耗大大减小。

5 休眠模式信号 SLB2 在时刻 t_{17} 被变为高电平，而高阈值 n 沟道增强型开关晶体管 21s 导通，从而将虚拟地线 VGND 与地线 GND 电连接在一起。虚拟地线 VGND 从浮置状态恢复为近似等于地电平的电势电平。在经过了时间 t_{D1B} 之后，数据信号 DT1 的信号线在时刻 t_{18} 被恢复为低电平，而使能信号 EN2 则在经过了时间 t_{E2B} 之后的时刻 t_{19} 被恢复为低电平。而在休眠模式中数据信号 DT2 和使能信号 EN1 则一直保持高电平。因此，数据信号 DT1/DT2 和使能信号 EN1/EN2 在进入休眠模式之前以及从休眠模式退出之后将不变，因此休眠模式不会影响总线驱动器 21 的逻辑功能。时间段 t_{E2B} 比时间段 t_{D1B} 的时间长，于是三态反相器 211/212 和高阈值 n 沟道增强型开关晶体管 21s 使得在时刻 t_{19} 之后在正电源电压线 VDD 与地电平 GND 之间将流过电流。然而，控制信号 KPB1 仍保持低电平，而开关元件 231-23n 则仍将保持开状态。因此，没有产生从正电源电压线 VDD 经过总线 BUS2 到地线 GND 上的直通电流，因此能耗将不会增大。

20 接着，逻辑电路 24 按原先的电平释放数据信号 DT1/DT2 及使能信号 EN1/EN2，并被允许改变数据信号 DT1/DT2 和使能信号 EN1/EN2。逻辑电路 26 在时刻 t_{20} 将控制信号 KPB1 变为高电平，而开关元件 231-23n 同时导通。其结果是，三态反相器 211-21n 能够利用反相数据信号 IDT1-IDTn 来驱动总线 BUS2。时刻 t_{17} 与时刻 t_{20} 之间的保持时间 t_{KH} 比恢复时间段 t_{D1B}/t_{E2B} 的时间要长。

30 正如所理解的，三态反相器 211-21n 在建立时间 t_{KS} 和保持时间 t_{KH} 内将总线 BUS2 与总线驱动器 21 隔离开，开关电路 23 不允许在正电源电压线 VDD 到地线 GND 中产生直通电流。于是能耗性能将得到提高。

在第一实施例中，总线驱动器 21 与第一部件电路相对应，而使能信号 EN1-ENn 和数据信号 DT1-DTn 则被用作输入信号。总线 BUS2 与信号线对应。

5

第二实施例

参照图 5，在实施本发明的一个集成电路器件中含有总线驱动器 31，开关电路 32，总线接收器 33 和总线 BUS3。该半导体集成电路装置在一个半导体芯片（未示出）上制造而成。尽管在该半导体芯片上还可以具有其它的逻辑电路，但图 5 中并未示出，从这些其它逻辑电路中的某些电路向总线驱动器 31 加载数据信号 DT1/DT2 和使能信号 EN1/EN2。

10

总线驱动器 31 包括三态反相器 311/312 及高阈值 n 沟道增强型开关晶体管 313。三态反相器 311/312 由正电源电压线 VDD 和虚拟地线 VGND 供电，高阈值 n 沟道增强型开关晶体管 313 被连在虚拟地线 VGND 与地线 GND 之间。三态反相器 311/312 的电路结构与图 1 所示的三态反相器 BD1/BD2 类似，而三态反相器 311/312 的电路元件的符号与现有技术的三态反相器 BD1/BD2 电路元件相对应，不再进行详细说明。三态反相器 311/312 的 n 沟道增强型场效应晶体管和 p 沟道增强型场效应晶体管被分别标注为 Qn1 和 Qp1。

15

20

25

30

休眠模式信号 SLB2 使总线驱动器 31 在运行模式与休眠模式之间来回变化。低电平的休眠模式信号 SLB2 表示休眠模式，并使得高阈值 n 沟道增强型开关晶体管 313 截止。高阈值 n 沟道增强型开关晶体管 313 将虚拟地线 VGND 与地线 GND 隔离开，于是将不允许其中流过低于阈值的泄漏电流。在运行模式中三态反相器 311/312 由使能信号 EN1/EN2 选择性地启动，而三态反相器 311/312 中的一个将变成对应于数据信号 DT1/DT2，以产生反相数据信号 IDT1/IDT2。n 沟道增强型场效应晶体管 Qn1 和 p 沟道增强型场效应晶体管 Qp1 分别具有较低的阈值，于是

其能够高速地在导通状态与截止状态之间变化。

开关电路 32 包括多个传输门 321-322 及一个反相器 323。传输门 321-322 由 n 沟道增强型场效应晶体管 Qn2 和 p 沟道增强型场效应晶体管 Qp2 的并联组合来实施，因此其为双向的。n 沟道增强型场效应晶体管 Qn2 的阈值与 n 沟道增强型场效应晶体管 Qn1 或高阈值 n 沟道增强型开关晶体管 313 的阈值相等。p 沟道增强型场效应晶体管 Qp2 的阈值与 p 沟道增强型场效应晶体管 Qp1 的阈值相等，或大于 p 沟道增强型场效应晶体管 Qp1 的阈值。

10

另一方面，反相器 323 由 p 沟道增强型场效应晶体管 Qp3 和 n 沟道增强型场效应晶体管 Qn3 的串联组合来实施。反相器 323 由正电源电压线 VDD 和地线 GND 来供电，控制信号 KPB2 被加载到 n 沟道增强型场效应晶体管 Qn3 以及 p 沟道增强型场效应晶体管 Qp3 的栅电极上。场效应晶体管 Qp3/Qn3 的公共漏电极与 p 沟道增强型场效应晶体管 Qp2 的栅电极相连。p 沟道增强型场效应晶体管 Qp3 和 n 沟道增强型场效应晶体管 Qn3 分别具有较高的阈值，于是反相器 323 中将不会产生低于阈值的泄漏电流。

20

控制信号 KPB2 被直接加载到 n 沟道增强型场效应晶体管 Qn2 的栅电极上，反相器 323 将控制信号 KPB2 的反相控制信号 IKPB2 加载到 p 沟道增强型场效应晶体管 Qp2 的栅电极上。因此，传输门 321-322 在控制信号 KPB2 变为有效高电平时同时导通，并将三态反相器 311/312 连到总线 BUS3 上。

25

与第一实施例类似，设进入休眠模式和从休眠模式中退出的时间为建立时间 t_{KS} 和保持时间 t_{KH} ，开关电路 32 不允许电流从正电源电压线 VDD 流到地线 GND 上。因此，开关电路 32 实现了第一实施例的优点。

30

在第二实施例中，总线驱动器 31 和总线 BUS3 分别与第一电路元件和信号线相对应。而 n 沟道增强型场效应晶体管 Qn1 和 p 沟道增强型场效应晶体管 Qp1 则用作第一晶体管，而高阈值 n 沟道增强型开关晶体管 313 则用作第二晶体管。

5

第三实施例

图 6 所示为实施本发明的另一种半导体集成电路装置的基本部分。该半导体集成电路装置包括总线驱动器 41，开关电路 42，总线接收器 43 和总线 BUS4。在半导体集成电路装置中还可以集成与逻辑电路 24 相对应的多个逻辑电路。

10

总线驱动器 41 包括多个三态反相器 411/412 及一个高阈值 N 沟道增强型开关晶体管 413。另一方面，开关电路 42 包括多个开关元件 421/422。因此，总线驱动器 41 和开关电路 42 与第二实施例中的那些电路的结构相类似。然而，三态反相器 411/412 和开关元件 421/422 的电路结构则与第二实施例中不尽相同。

15

三态反相器 411/412 包括 p 沟道增强型场效应晶体管 Qp11/Qp12 和 n 沟道增强型场效应晶体管 Qn11/Qn12 的串联组合及一个反相器 414。场效应晶体管 Qp11/Qp12/Qn11/Qn12 的串联组合被连在正电源电压线 VDD 和虚拟地线 VGND 之间，反相器 414 同样也是由正电源电压线 VDD 和虚拟地线 VGND 来进行供电。使能信号 EN1/EN2 被加载到反相器 414 上，于是反相器 414 将产生反相信号 IEN1/IEN2。使能信号 EN1/EN2 和反相信号 IEN1/IEN2 被分别加载到 n 沟道增强型场效应晶体管 Qn12 的栅电极和 p 沟道增强型场效应晶体管 Qp11 的栅电极上。数据信号 DT1/DT2 被加载到 p 沟道增强型场效应晶体管 Qp12 的栅电极和 n 沟道增强型场效应晶体管 Qn11 的栅电极上。反相器 414 与虚线所围的串联组合的那一部分，即串联在一起的 p 沟道增强型场效应晶体管 Qp12 和 n 沟道增强型场效应晶体管 Qn11 类似。

20

25

30

5

10

15

20

25

30

当使能信号 EN1/EN2 被变为高电平时, n 沟道增强型场效应晶体管 Qn12 和 p 沟道增强型场效应晶体管 Qp11 将导通, 正电源电压线 VDD 和虚拟地线 VGND 与 p 沟道增强型场效应晶体管 Qp12 和 n 沟道增强型场效应晶体管 Qn11 电气相连。在此情况下, p 沟道增强型场效应晶体管 Qp12 和 n 沟道增强型场效应晶体管 Qn11 根据数据信号 DT1/DT2 的电压电平互补地导通与截止, 从而向开关电路 42 加载反相数据信号 IDT1/IDT2。n 沟道增强型场效应晶体管 Qn11/Qn12 的阈值低于高阈值 N 沟道增强型开关晶体管 413 的阈值, 而 p 沟道增强型场效应晶体管 Qp11/Qp12 的阈值则与 n 沟道增强型场效应晶体管 Qn11/Qn12 的阈值相对应。因此, 三态反相器 411/412 将可以实现高速反相。利用这种高阈值特性, 高阈值 n 沟道增强型开关晶体管将不会允许产生电流。

如果使能信号 EN1/EN2 为低电平, 则 n 沟道增强型场效应晶体管 Qn12 和 p 沟道增强型场效应晶体管 Qp11 将被截止, 而 p 沟道增强型场效应晶体管 Qp12 和 n 沟道增强型场效应晶体管 Qn11 则与正电源电压线 VDD 和虚拟地线 VGND 断开。p 沟道增强型场效应晶体管 Qp12 和 n 沟道增强型场效应晶体管 Qn11 将永不响应数据信号 DT1/DT2, 于是三态反相器 311/312 将进入高阻抗状态。

开关元件 421/422 由 n 沟道增强型场效应晶体管 Qn13 来实施。n 沟道增强型场效应晶体管 Qn13 被分别连在相关的三态反相器 411/412 之间, 控制信号 KPB3 被加载到 n 沟道增强型场效应晶体管 Qn13 的栅电极上。如果控制信号 KPB3 为高电平, 则 n 沟道增强型场效应晶体管 Qn13 将被导通, 三态反相器 411 将通过与之相关的 n 沟道增强型场效应晶体管 Qn13 与总线 BUS4 相连。另一方面, 如果控制信号 KPB3 被变为低电平, 则 n 沟道增强型场效应晶体管 Qn13 将截止, 于是三态反相器 411/412 将与总线 BUS4 断开。

n 沟道增强型场效应晶体管 Qn13 的阈值可高可低, 通过一个逻辑电路 (未示出) 来使得控制信号 KPB3 的电平在该 n 沟道增强型场效应

5 晶体管 Qn13 的阈值上下摆动。休眠模式信号 SLB2 和控制信号 KPB3
类似于图 4 那样变化，于是开关电路 42 将能够有效地减小直通电流。
因此，实施第三实施例的半导体集成电路装置实现了第一实施例的优点。
另外，开关电路 42 要比开关电路 32 简单得多，因此制造商可以将
10 电路 41/42 集成在比电路 31/32 所占区域更窄的区域上。

第四实施例

10 参照图 7，其所示为实施本发明的另一种半导体集成电路装置的基本部分，其包括总线驱动器 51，开关电路 52，总线接收器 53，总线 BUSS
及一个防浮置电路 54。总线驱动器 51 和开关电路 52 与第一实施例中的
15 相应部件类似，其各电路元件标注有与第一实施例的电路元件相对应的
图注，而不再进行详细说明。该半导体集成电路装置中还可以配置与逻辑
电路 24 相对应的信号源。

15 防浮置电路 54 与总线 BUSS 相连，控制信号 KPB1 被加载到防浮置电路 54 上。防浮置电路 54 用于防止总线出现浮置状态。

20 具体地说，当控制信号 KPB1 为高电平时，开关电路 231-23n 被关闭，而三态反相器 211-21n 则通过开关电路 231-23n 连到总线 BUSS 上。
总线 BUSS 由反相数据信号 IDT1/IDT2/…/IDTn 驱动为高电平或低电平。
在此情况下，防浮置电路 54 对于总线 BUSS 来说无作用，其将保持高阻抗状态。

25 另一方面，当控制信号 KPB1 被变为低电平时，开关电路 231-23n 被打开，从而将总线 BUSS 与三态反相器 211-21n 断开。防浮置电路 54 变为有效状态，并向总线 BUSS 加载低电平或高电平。因此，防浮置电路 54 将防止总线 BUSS 处于浮置状态。

30 对于总线接收器 53 来说不希望出现浮置状态。如上所述，泄漏电流在浮置状态中将使得总线 BUSS 上的电势电平升高。总线 BUSS 上的

中间电势电平将使得总线接收器 53 出现直通电流，而该直通电流又将使半导体集成电路装置的能耗增大。然而，防浮置电路 54 将总线 BUS5 固定为低电平或高电平，于是在总线接收器 53 中不会产生电流。

5 实施第四实施例的本半导体集成电路装置实现了第一实施例的优点，并利用防浮置电路 54 的优点进一步减小了能耗。

第五实施例

10 参照图 8，其所示为实施本发明的另一种半导体集成电路装置，其包括总线驱动器 61，开关电路 62，总线接收器 63，箝位电路 64 及总线 BUS6。总线驱动器 61 和开关电路 62 的电路结构与第二实施例中的总线驱动器 31 与开关电路 32 的电路结构类似，其组成元件标注有相当于总线驱动器 31 和开关电路 32 的电路元件的图注，因而不再进行详细说明。本半导体集成电路装置中还可以再配置与逻辑电路 24 对应的信号源。

15 箝位电路 64 起到了防浮置电路的作用，其由 p 沟道增强型场效应晶体管 Qp4 来实施。p 沟道增强型场效应晶体管 Qp4 的阈值大于 p 沟道增强型场效应晶体管 Qp1 的阈值。因此，电路很难从正电源电压线 VDD 流过处于截止状态的 p 沟道增强型场效应晶体管 Qp4。

20 p 沟道增强型场效应晶体管 Qp4 被连在正电源电压线 VDD 和总线 BUS6 之间，控制信号 KPB2 被加载到 p 沟道增强型场效应晶体管 Qp4 的栅电极上。因此，p 沟道增强型场效应晶体管 Qp4 根据控制信号 KPB2 将正电源电压线 VDD 连到总线 BUS6 上或将其断开。图 9 中总结了控制信号 KPB2 与箝位电路 64 之间的关系。

25 如上所述，三态反相器 311/312 是根据加载于开关元件 321/322 上的控制信号 KPB2 的电势电平来与总线 BUS6 相连或断开的。当控制信号 KPB2 为高电平时，开关电路 62 将三态反相器 311/312 连到总线 BUS6

上, 而箝位电路 64 则将总线 BUS6 与正电源电压线 VDD 隔离开。三态反相器 311/312 中被选中的一个利用反相数据信号 IDT1/IDT2 来驱动总线 BUS6。p 沟道增强型场效应晶体管 Qp4 的阈值非常高, 从而在截止状态中其将不允许其中有电流流过。其结果是, 簈位电路 64 决不会干扰通过总线 BUS6 所进行的数据传输。

另一方面,当控制信号 KPB2 被变为低电平时,开关电路 62 将总线 BUS6 与总线驱动器 61 隔离开,而箝位电路 64 则将正电源电压线 VDD 连到总线 BUS6 上。其结果是,总线 BUS6 被箝位在正电源电压电平上。

第六实施例

参照图 10, 其所示为实施本发明的另一种半导体集成电路装置, 其包括总线驱动器 71, 开关电路 72, 总线接收器 73, 防浮置电路 74 以及总线 BUS7。总线驱动器 71 和开关电路 72 的电路结构与第三实施例中的总线驱动器 41 和总线接收器 42 类似, 其组成元件标注有相当于总线驱动器 41 和开关电路 42 的对应电路元件的图注, 不再进行详细说明。本半导体集成电路装置中还可以再配置与逻辑电路 24 对应的信号源。

防浮置电路 74 包括两个反相器 741/742。反相器 741/742 的输入节点与总线 BUS7 和反相器的 741 的输出节点相连，而反相器 741 的输出节点则又与总线 BUS7 相连。因此，反相器 741/742 构成了存储器回路或双稳电路，从而可以存储总线 BUS7 的电势电平。反相器 741/742 由 p 沟道增强型场效应晶体管 Qp13 和 n 沟道增强型场效应晶体管 Qn14 的串联组合来实施。p 沟道增强型场效应晶体管 Qp13 的阈值大于 p 沟道增强型场效应晶体管 Qp11/Qp12 的阈值，而 n 沟道增强型场效应晶体管 Qn14 的阈值则大于 n 沟道增强型场效应晶体管 Qn11/Qn12 的阈值。因此，p 沟道增强型场效应晶体管 Qp13 在截止状态下可有效地使总线 BUS7 不能具有正电源电压，p 沟道增强型场效应晶体管 Qn14 在截止状

态下也可以有效地使总线 BUS7 不能具有地电平。

当总线驱动器 71 利用反相数据信号 IDT1/IDT2 驱动总线 BUS7 时，防浮置电路 74 锁存总线 BUS7 上的电势电平。如果总线驱动器 71 将总线 BUS7 中的电势电平从低电平变为高电平，则总线 BUS7 上的高电平将使反相器 742 向反相器 741 的输入节点加载低电平，而反相器 741 使其输出节点变为高电平。因此，防浮置电路 74 存储了总线 BUS7 上的电势电平，并一直将总线 BUS7 保持为该电势电平直至总线 BUS7 的电势电平发生变化。

正如从上述说明中可理解的，开关电路在过渡期以及休眠模式中将总线与数据驱动器隔离开。即使泄漏电流对使能信号和数据信号进行了充电，开关电路也将保持总线与总线驱动器相隔离，从而使得在总线中不会有电流流过。由此使得能耗减小。

在具有防浮置电路的实施例中，防浮置电路可以防止总线出现浮置状态，从而提高了总线的可靠性。

尽管上文中对本发明的多种特别实施例进行了说明，但对于本领域的技术人员来说在不背离本发明的精神与范围的情况下可以对其进行各种各样的变型与修正。例如，可以用任何其它类型的逻辑门比如“与非门”或“或非门”来代替反相器 LV11/LV21。

即使逻辑电路在从休眠模式退出之后不能将数据信号和使能信号恢复为原先的电平，开关电路也能够有效地防止总线中产生泄漏电流，因为总线驱动器在时刻 t_4 与时刻 t_5 之间便会流过该电流。

说 明 书 附 图

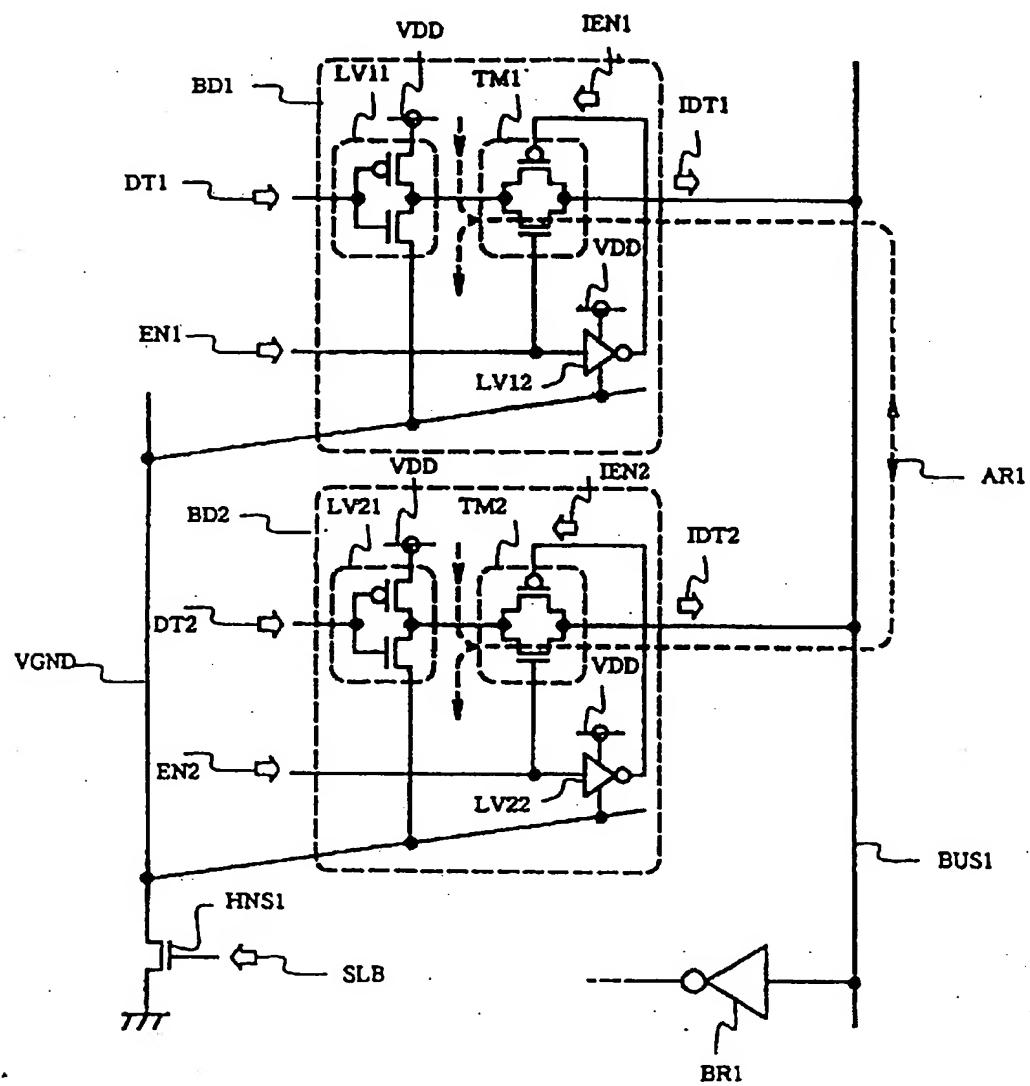


图 1 现有技术

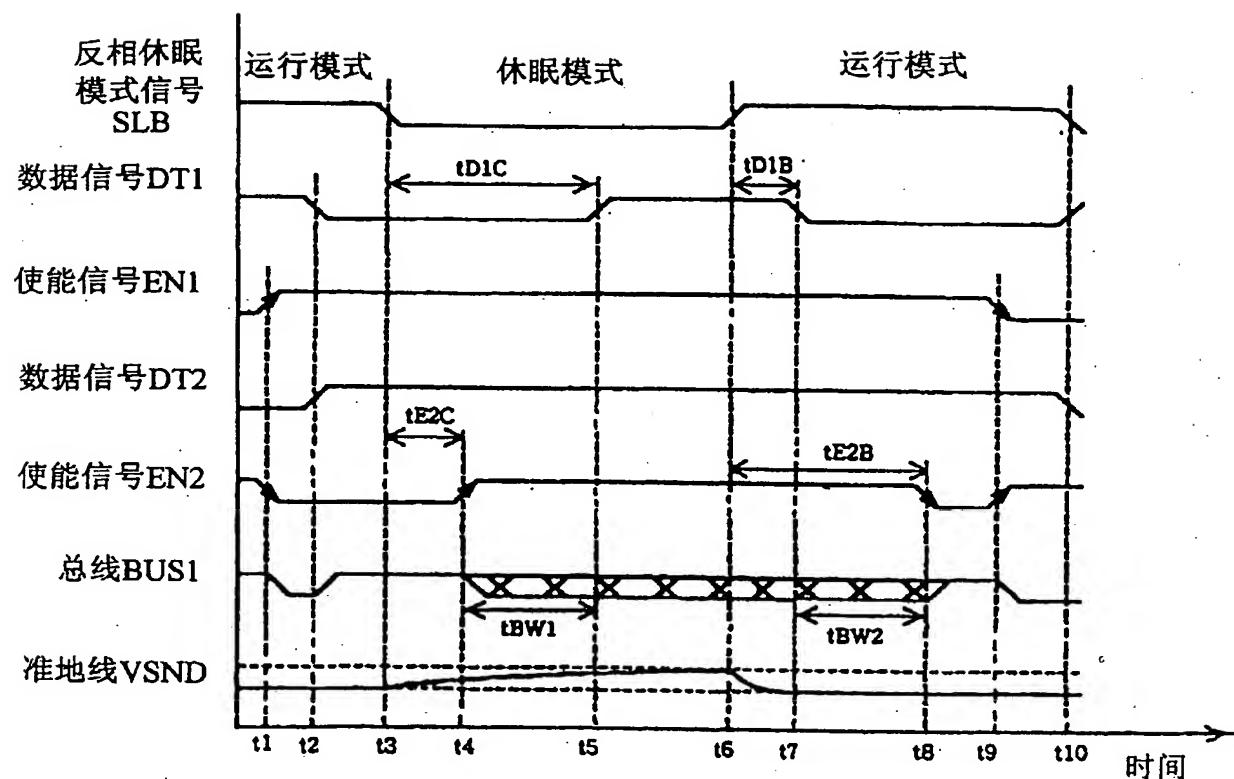


图2 现有技术

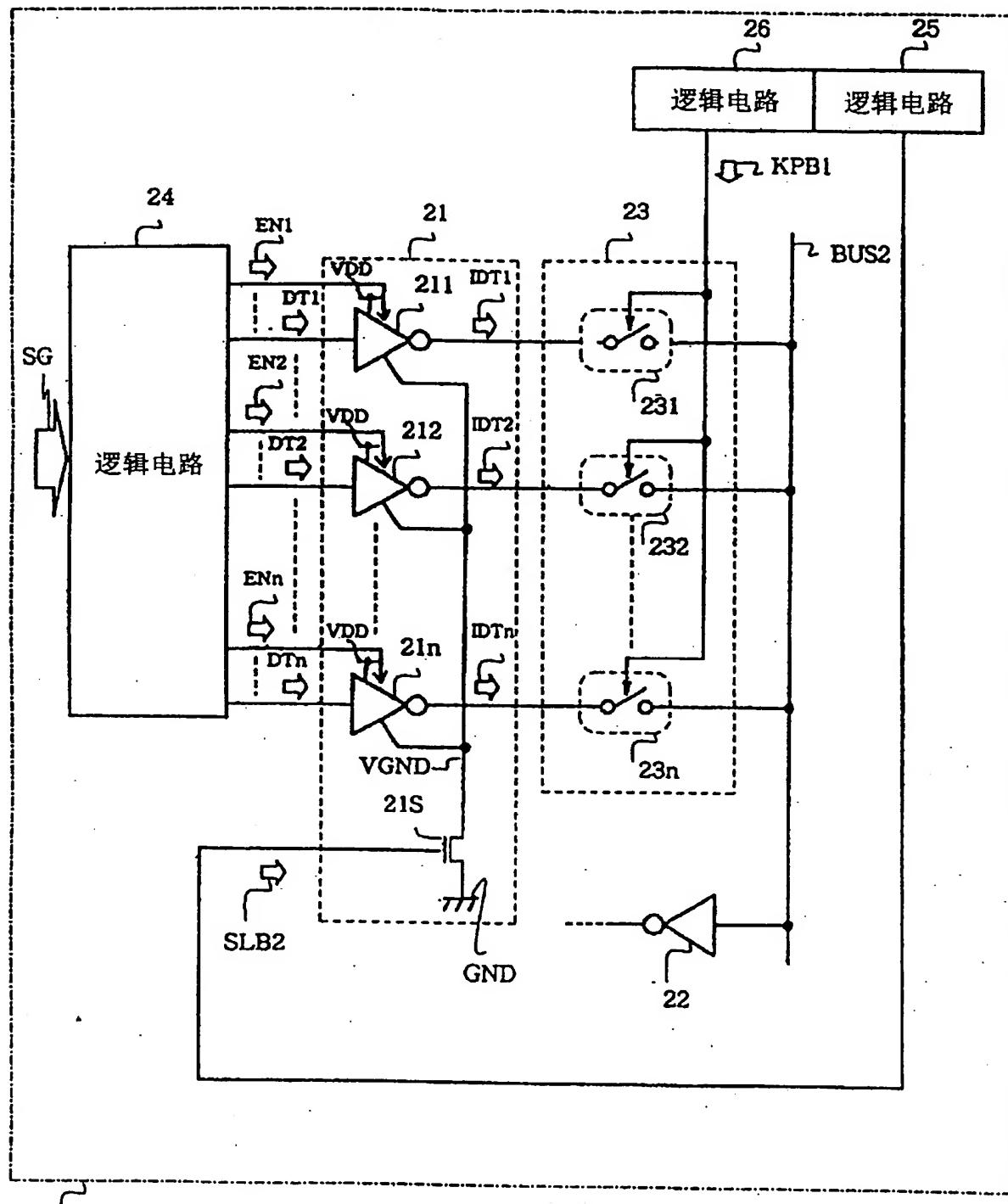


图3

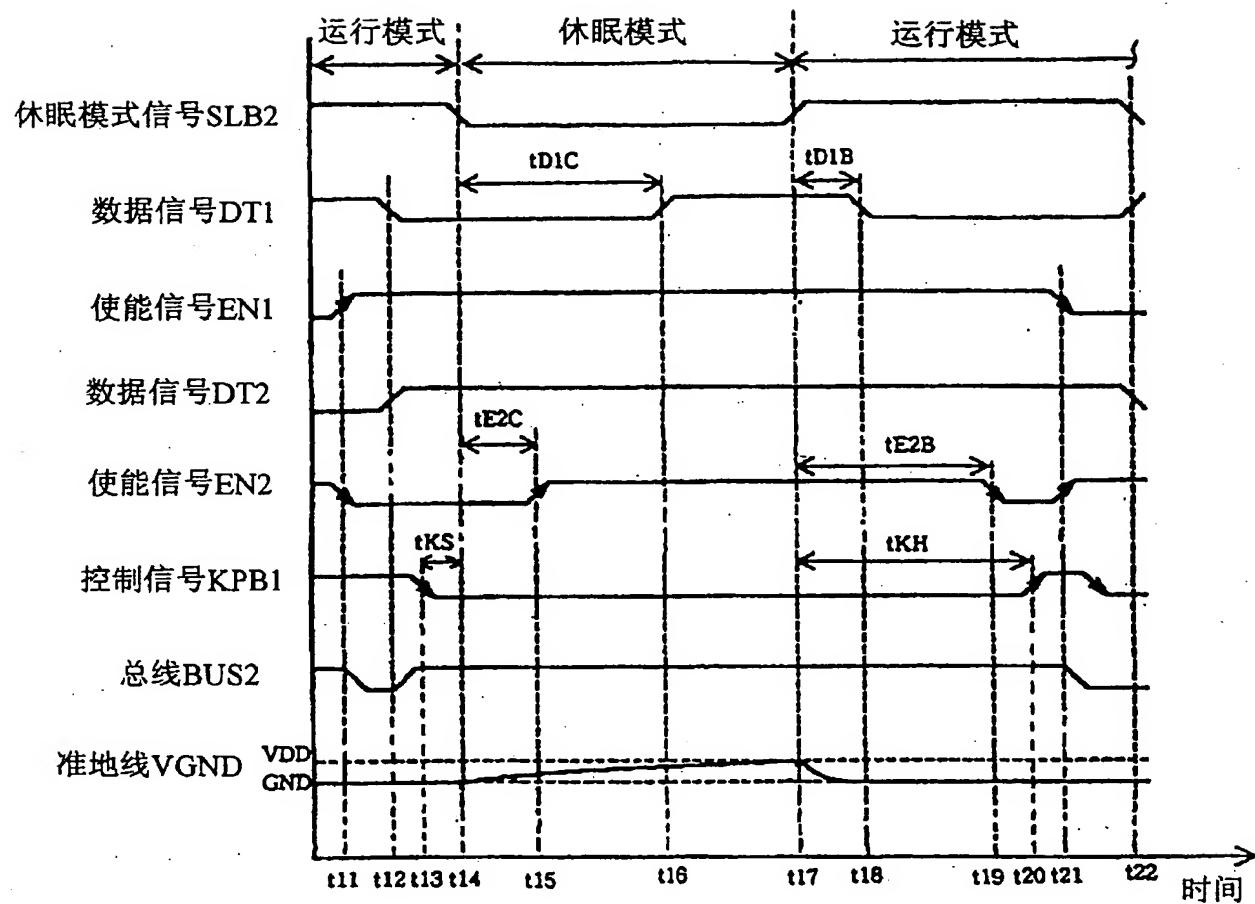


图4

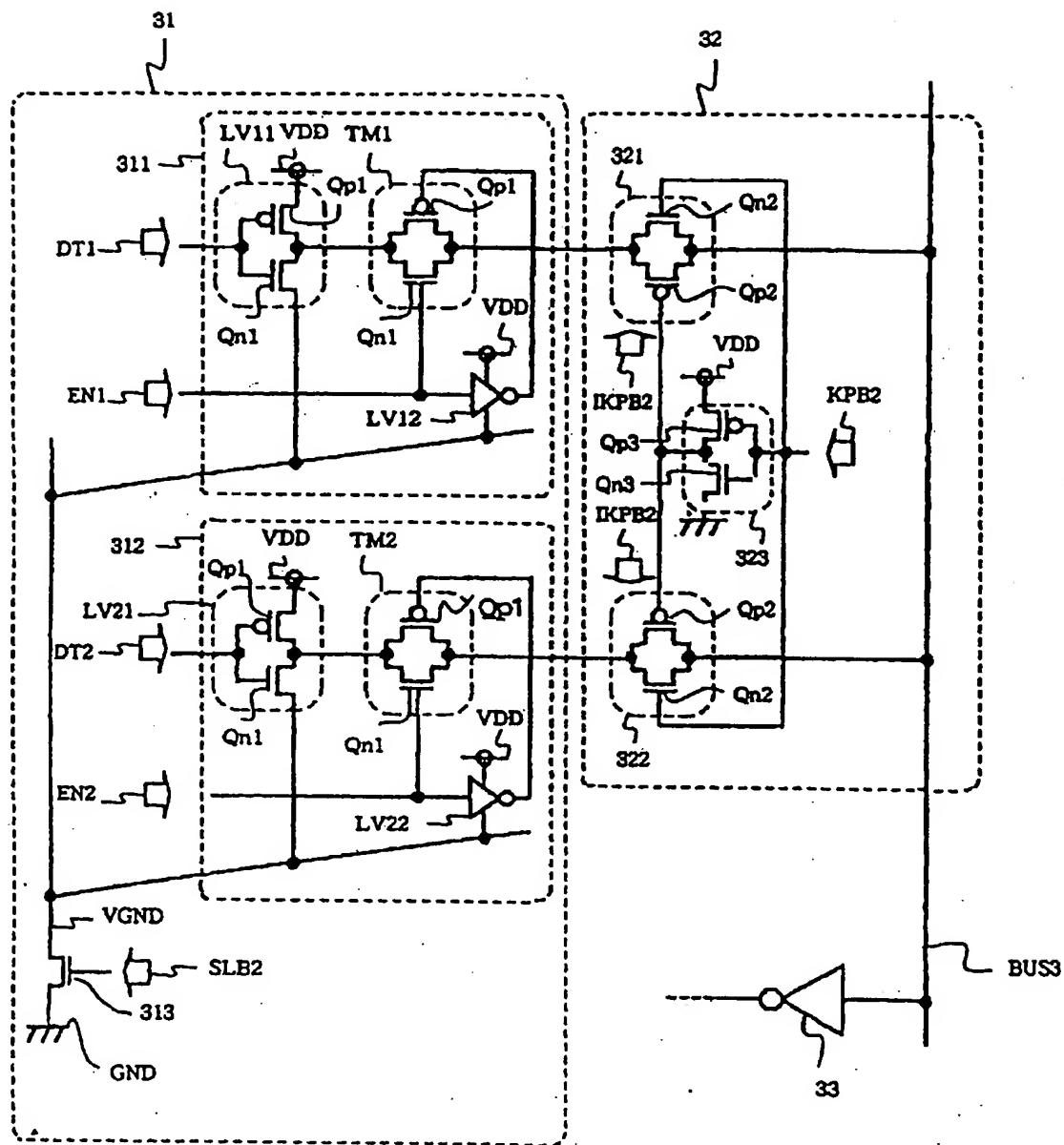
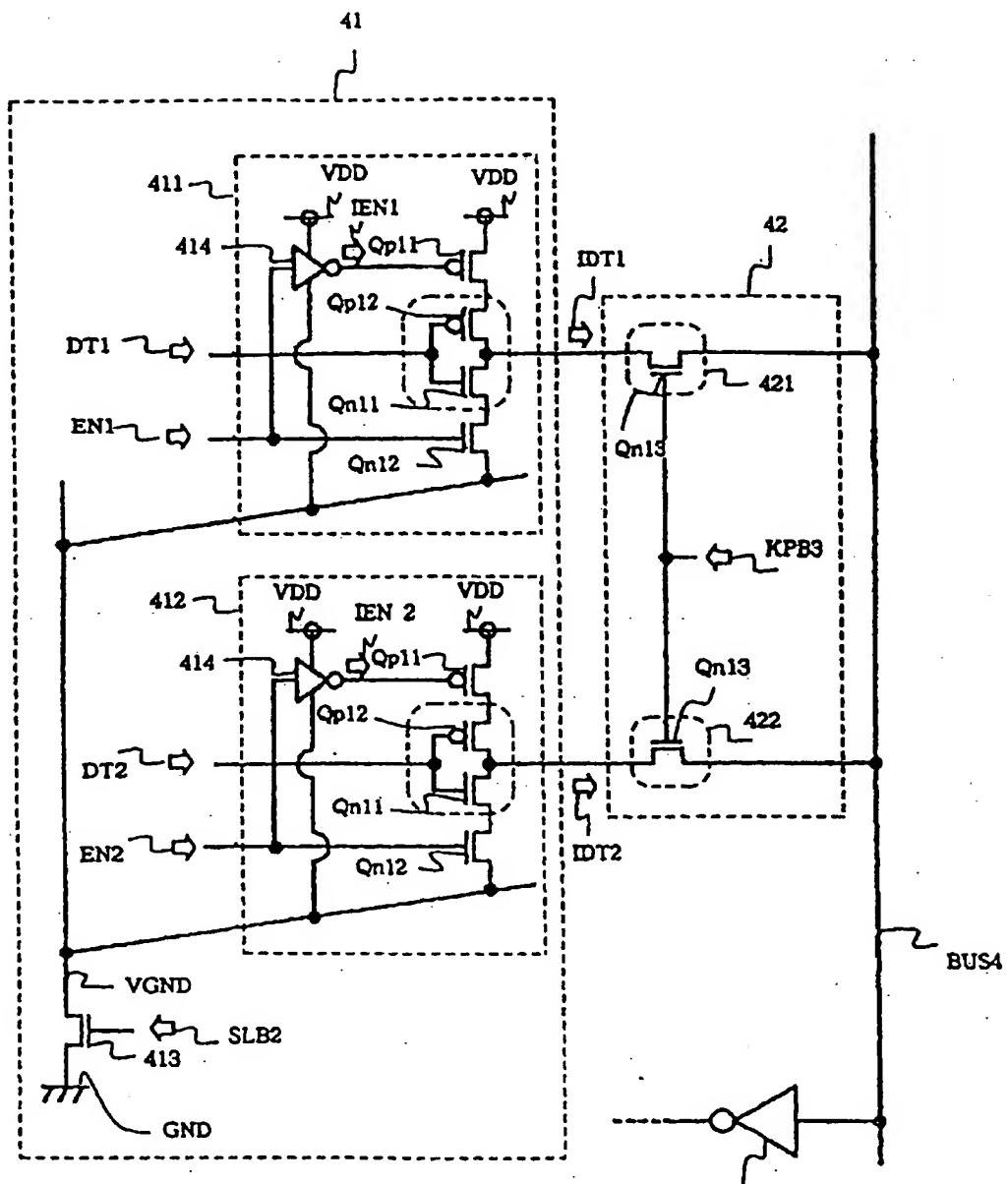


图 5



43

图6

2000-06-11

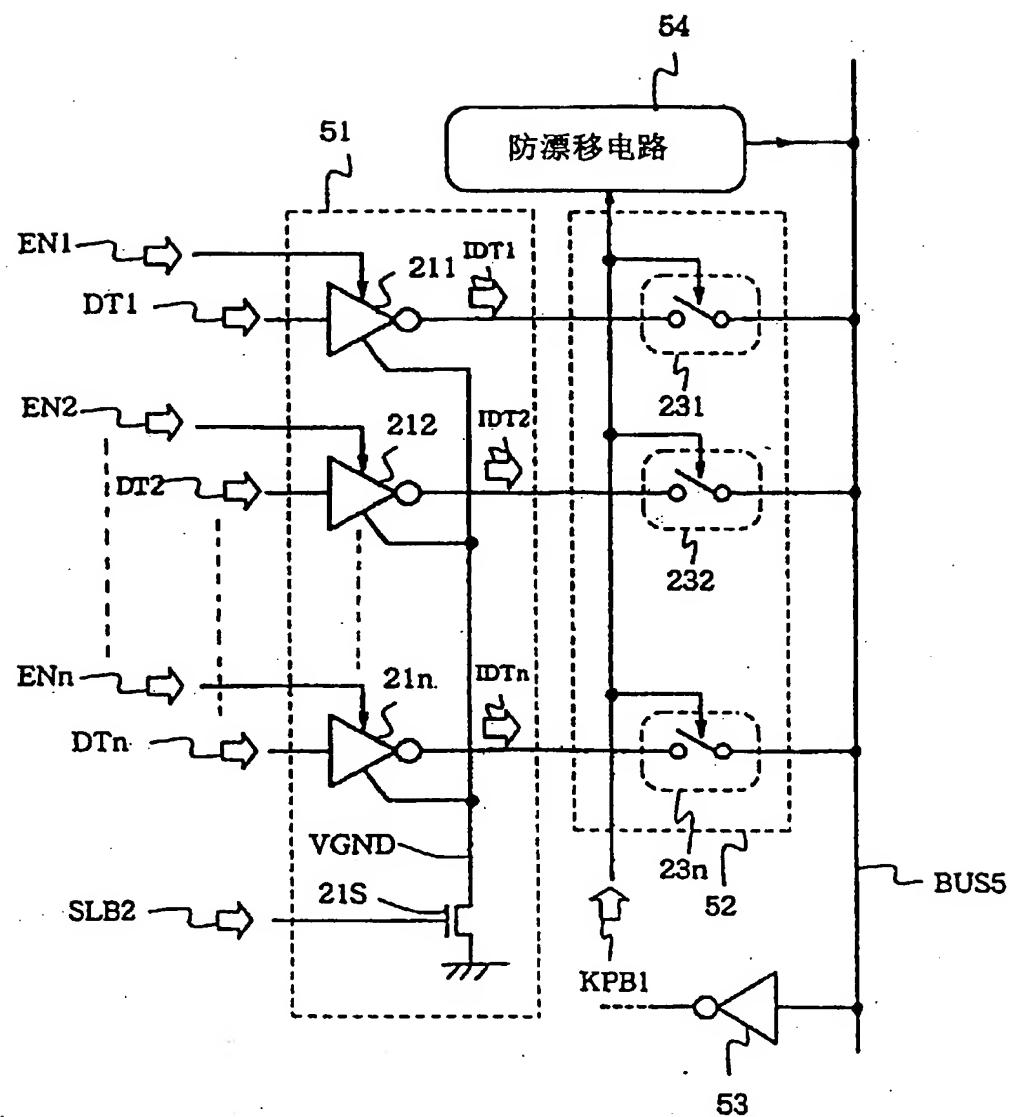


图7

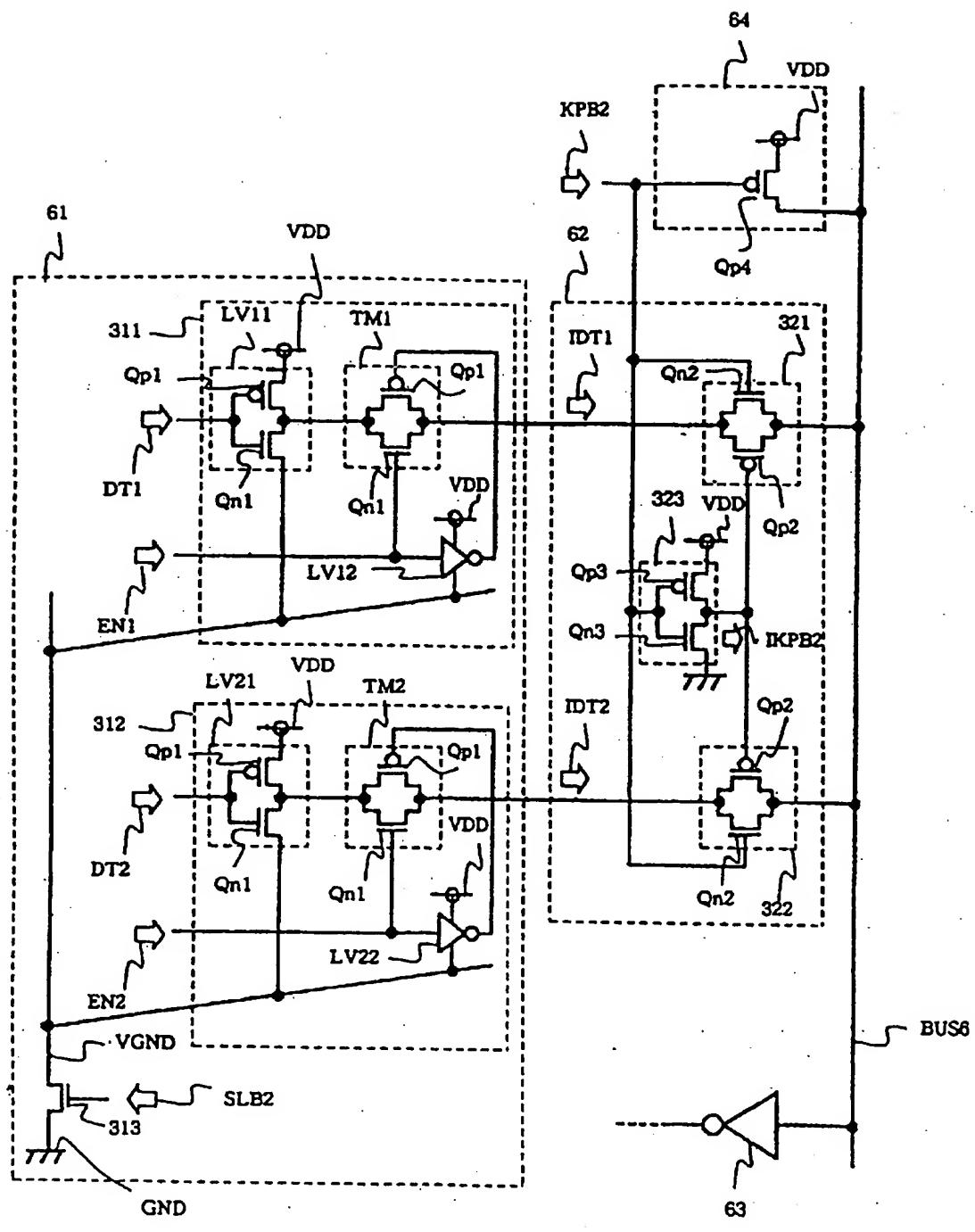


图 8

控制信号 KPB2	箱位电路 64
1 (高电平)	高阻抗
0 (低电平)	输出=1(高电平)

图9

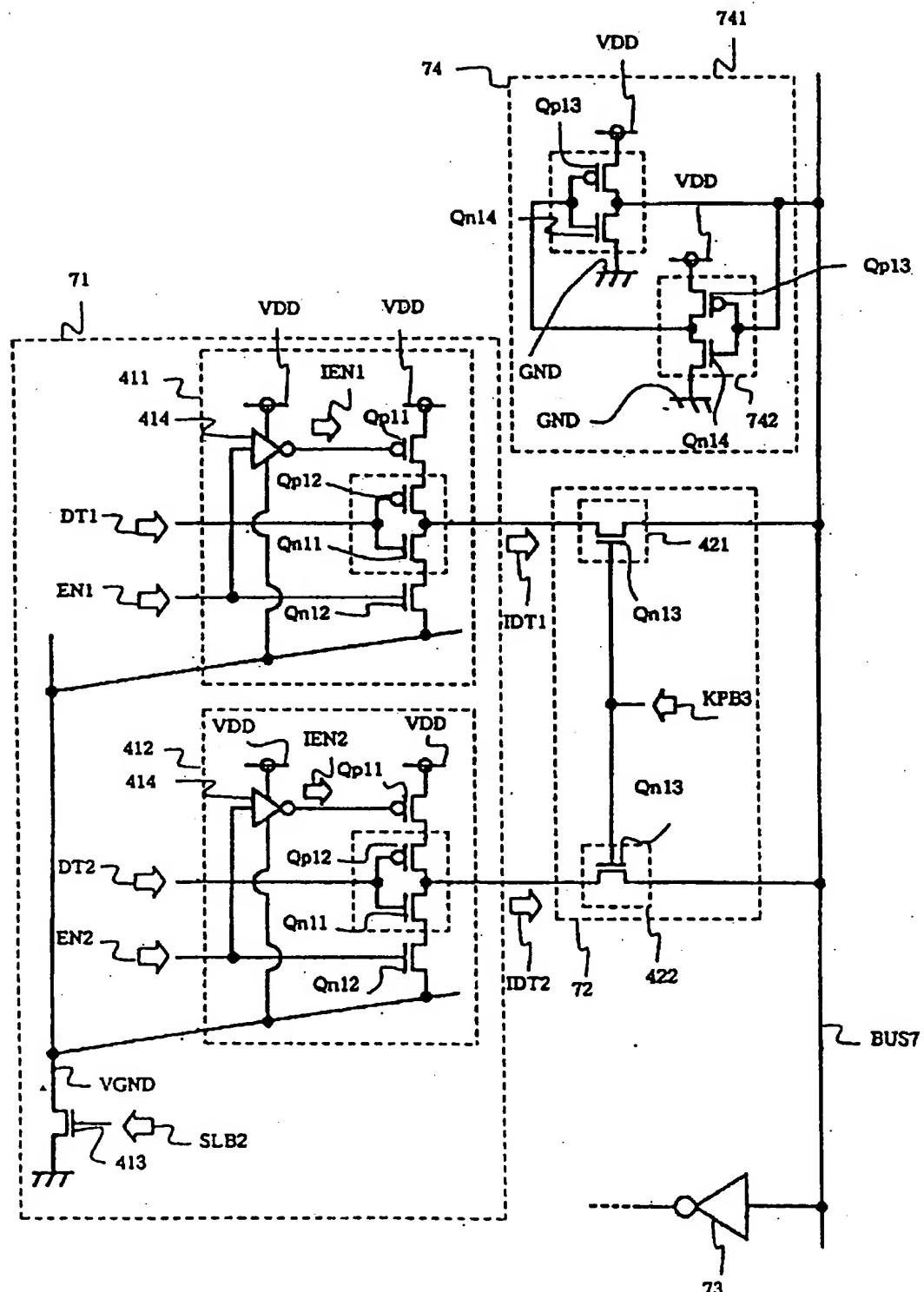


图10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.